

Docket No.: P-0616

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Seok Il CHANG :  
Serial No.: New U.S. Patent Application :  
Filed: December 15, 2003 : Customer No.: 34610  
For: APPARATUS FOR MAPPING AND SPREADING DATA SYMBOLS IN  
MOBILE COMMUNICATION SYSTEM

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT(S)**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the following application(s):

Korean Application No. 2002-0079815, File December 13, 2002.

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP



Daniel Y.J. Kim  
Registration No. 36,186  
Lenny R. Jiang  
Registration No. 52,432

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 766-3701-9440 DYK/DHS:tljw  
**Date: December 15, 2003**

**Please direct all correspondence to Customer Number 34610**

대한민국 특허청  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0079815  
Application Number

출원년월일 : 2002년 12월 13일  
Date of Application

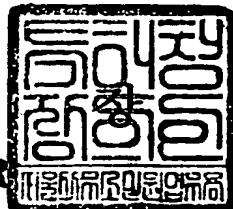
출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003 년 06 월 04 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002. 12. 13
【국제특허분류】	H04M 1/00
【발명의 명칭】	이동 통신 시스템의 심볼 맵핑과 확산 장치
【발명의 영문명칭】	SYMBOL MAPPING AND SPREADING APPARATUS FOR MOBILE COMMUNICATION SYSTEM
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	2002-027075-8
【발명자】	
【성명의 국문표기】	장석일
【성명의 영문표기】	CHANG, Seok Il
【주민등록번호】	740901-1173916
【우편번호】	425-150
【주소】	경기도 안산시 일동 650-5 204호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박장원 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	266,000 원

1020020079815

출력 일자: 2003/6/5

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 제3세대 이동통신 시분할 다중접속(3G TDD) 모드에서 QPSK(Quadrature PSK) 변조를 행할 경우, 심볼 맵핑(Symbol Mapping)과 확산(Spreadng) 과정을 복소수 곱셈이 아닌 이진(Binary) 연산으로 변환하여 효율성을 높이기 위한 이동 통신 시스템의 심볼 맵핑과 확산 장치에 관한 것으로, 이진 채널화 데이터 심볼 발생부의 허수 출력(맵핑된 심볼의 허수 계수)을 입력받아 카운트하는 2진 카운터와; 상기 2진 카운터의 최상위 비트(MSB)와 최하위 비트(LSB)에 대한 배타적 논리합을 구하는 배타 논리합(XOR10)과; 스크램블링 코드를 0,1로 맵핑하여 출력하는 이진 스크램블 코드 발생기와; 상기 이진 스크램블 코드 발생기의 출력과, 상기 배타 논리합(XOR10)의 출력과, 상기 이진 채널화 데이터 심볼 발생부의 실수부에 대한 배타적 논리합을 구하는 배타 논리합(XOR20)과; 상기 실수부와 허수부로 나누어진 0, 1의 이진수를 각각 1, -1의 이진수로 맵핑하여 출력하는 맵핑기와; 상기 맵핑기의 출력을 상기 2진 카운터의 최하위 비트(LSB)에 의해 실수부와 허수부로 선택 출력하는 스위치를 포함하여 구성함으로써 달성할 수 있다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

이동 통신 시스템의 심볼 맵핑과 확산 장치{SYMBOL MAPPING AND SPREADING APPARATUS FOR MOBILE COMMUNICATION SYSTEM}

**【도면의 간단한 설명】**

도 1은 종래의 일반적인 데이터 심볼의 확산 과정을 설명하기 위한 예시도.

도 2는 본 발명에 의해 심볼맵핑 및 채널화, 스크램블링의 모든 과정을 이진(Binary)으로 처리하는 연산 장치의 구성을 보인 블록도.

도 3은 상기 도2에서 이진 채널화 데이터 심볼 발생부의 상세 구성을 보인 블록도.

**\*도면의 주요 부분에 대한 부호의 설명\***

10 : 이진 스크램블 코드 발생기      20 : 이진 채널화 데이터 심볼 발생부

21 : 이진 심별기                          22 : 가중치 부호 이진화기

23 : 이진 채널화기                          24 : 플립플롭

30 : 2진 카운터                                  40 : 맵핑기

SW1,SW2 : 스위치

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10>      본 발명은 이동 통신 시스템의 심볼 맵핑과 확산 장치에 관한 것으로, 특히 제3세대 이동통신 시분할 다중접속(3G TDD) 모드에서 QPSK(Quadrature PSK) 변조를 행할

경우, 심볼 맵핑(Symbol Mapping)과 확산(Spreadng) 과정을 복소수 곱셈이 아닌 이진(Binary) 연산으로 변환하여 효율성을 높이기 위한 이동 통신 시스템의 심볼 맵핑과 확산 장치에 관한 것이다.

<11> 제3세대 이동통신 시분할 다중접속(3G TDD) 모드에서 QPSK 변조 방식을 사용할 경우, QPSK 변조 방식의 특성상 물리 채널 맵핑된 이진 정보들은 각각 2비트씩 하나의 심볼로 맵핑되고, 맵핑된 심볼은 채널화 과정과, 스크램블링(Scrambling) 과정을 거치게 된다.

<12> 그런데, 상기와 같은 심볼 맵핑과 채널화 과정 및 스크램블링 과정을 수행하기 위해서는, 맵핑 테이블과 복소수 곱셈이 필요하게 되고, 따라서 상당한 연산이 요구되어 소프트웨어 및 하드웨어에 의한 구현 시 처리 시간(Processing Time) 및 복잡도가 증가하게 되는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창출한 것으로, 제3세대 이동통신 시분할 다중접속(3G TDD) 모드에서 QPSK(Quadrature PSK) 변조를 행할 경우, 심볼 맵핑(Symbol Mapping)과 확산(Spreadng) 과정을 복소수 곱셈이 아닌 이진(Binary) 연산으로 변환함으로써 효율성을 높이기 위한 이동 통신 시스템의 심볼 맵핑과 확산 장치를 제공함에 그 목적이 있다.

<14> 이와 같은 목적을 달성하기 위한 본 발명은, 이진 채널화 데이터 심볼 발생부의 허수 출력(맵핑된 심볼의 허수 계수)을 입력받아 카운트하는 2진 카운터와;

상기 2진 카운터의 최상위 비트(MSB)와 최하위 비트(LSB)에 대한 배타적 논리합을 구하는 배타 논리합(XOR10)과; 스크램블링 코드를 0,1로 맵핑하여 출력하는 이진 스크램블 코드 발생기와; 상기 이진 스크램블 코드 발생기의 출력과, 상기 배타 논리합(XOR10)의 출력과, 상기 이진 채널화 데이터 심볼 발생부의 실수부에 대한 배타적 논리합을 구하는 배타 논리합(XOR20)과; 상기 실수부와 허수부로 나누어진 0, 1의 이진수를 각각 1, -1의 이진수로 맵핑하여 출력하는 맵핑기와; 상기 맵핑기의 출력을 상기 2진 카운터의 최하위 비트(LSB)에 의해 실수부와 허수부로 선택 출력하는 스위치를 포함하여 구성한 것을 특징으로 한다.

#### 【발명의 구성 및 작용】

<15> 본 발명은 제3세대 이동통신 시분할 다중접속(3G TDD) 모드에서 QPSK 변조를 행할 경우, 심볼 맵핑(Symbol Mapping)과 확산(Spread) 과정을 복소수 곱셈이 아닌 이진(Binary) 연산으로 변환함으로써, 소프트웨어 및 하드웨어 구현 시 처리 시간(Processing Time) 및 복잡도를 감소시키는 특징이 있다.

<16> 즉, 제3세대 이동통신 시분할 다중접속(3G TDD) 모드에서 QPSK 변조를 행할 경우 심볼 맵핑 과정을 이진 연산으로 처리할 수 있고, 그 맵핑된 심볼을 채널화하고 스크램블링 하는 과정도 마찬가지로 이진 연산으로 처리할 수 있다.

<17> 상기 두 가지 과정(맵핑 심볼의 채널화 및 스크램블링)을 모두 이진 연산으로만 처리할 경우, 맵핑 테이블이 필요치 않고 복잡한 복소수 연산도 요구되지 않으므로, 소프트웨어나 하드웨어에서 실행 시간을 줄이거나 복잡도를 감소시킬 수 있게 되어, 전체 시스템의 효율을 증가시킬 수 있는 특징이 있는 것이다.

<18> 이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.

<19> 도1은 종래의 일반적인 데이터 심볼의 확산(Spread) 과정을 설명하기 위한 예시 도로서, 일단, 이진 데이터는 QPSK 성좌도를 이용하여 2 비트씩 하나의 심볼로 맵핑되고, 그 맵핑된 심볼이 도1과 같은 확산 과정을 거치게 된다.

<20> 상기 확산 과정은 크게 2가지 과정으로 나눌 수 있는데, 첫 번째 과정은 데이터 심볼을 대역확산 하는 채널화 과정이고, 두 번째 과정은 그 채널화된 데이터를 스크램블링(Scrambling) 하는 과정이다.

<21> 이때, 상기 각 데이터 심볼은 QPSK 심볼이므로 복소수로 표현되고, 마찬가지로 채널화 부호 및 스크램블링 부호도 모두 복소수로 이루어지게 되며, 따라서 도1의 확산 과정도 모두 복소수 곱셈 연산으로 행해지게 되는 것이다.

<22> 그러나, 본 발명에서는 상기와 같은 복소수 연산을 이진 연산으로 변환하여 행하게 하는 것으로, 일단, 상기 확산 과정은 다음 수학식 1과 같이 표현될 수 있다.

<23> 【수학식 1】  

$$d^{(k,i)}(t) = \sum_{n=1}^{N_k} d_n^{(k,1)} w_{Q_k}^{(k)} \sum_{q=1}^{Q_k} c_{1+[(n-1)Q_k+q-1] \bmod Q_k}^{(k)} \cdot v_{1+[(n-1)Q_k+q-1] \bmod Q_{MAX}}$$

<24> 여기서 사용되는 스크램블링 부호( $v$ )는 규격에 정의된 길이 16인 이진 스크램블링 부호를 사용하여 다음 수학식 2와 같이 생성되고, 이렇게 생성된 스크램бл링 부호는 부호화된 데이터의 길이에 맞게 반복하여 사용하게 된다.

<25> 【수학식 2】  $v_i = (j)^i \cdot v_i, v_i \in \{1, -1\}, i = 1, K, 16$

<26> 도2는 본 발명에 의해 심볼맵핑 및 채널화, 스크램블링의 모든 과정을 이진 (Binary)으로 처리하는 연산 장치의 구성을 보인 블록도로서, 실제 규격에서 이진 스크

램블링 코드는 쭈로 이루어진 길이 16인 부호로 규정하고 있지만, 도2에서 사용하는 이진 스크램블링 코드는 0,1로 이루어진 길이 16인 부호로서, 이진 스크램블링 코드부(10)에서 반복적으로 생성하여 이용한다.

<27> 다시 말해, 본 발명은 본래 규격에 정의된 이진 스크램블링 부호(쭈)에서, +1값은 0으로 -1값은 1로 맵핑된 부호를 이용하는 것으로, 실제로 저장되는 이진 스크램블링 부호가 0,1로 이루어진 부호인 것이다.

<28> 도2를 참조하면, 본 발명은 이진 채널화 데이터 심볼 발생부(20)의 허수 출력(맵핑된 심볼의 허수 계수)(Imaginary Output)을 입력받아 카운트하는 2진 카운터(30)와; 상기 2진 카운터(30)의 최상위 비트(MSB)와 최하위 비트(LSB)에 대한 배타적 논리합을 구하는 배타 논리합(XOR10)과; 스크램블링 코드를 0,1로 맵핑하여 출력하는 이진 스크램블 코드 발생기(10)와; 상기 이진 스크램블 코드 발생기(10)의 출력과, 상기 배타 논리합(XOR10)의 출력과, 상기 이진 채널화 데이터 심볼 발생부(20)의 실수부에 대한 배타적 논리합을 구하는 배타 논리합(XOR20)과; 상기 실수부와 허수부로 나누어진 0, 1의 이진 수를 각각 1, -1의 이진수로 맵핑하여 출력하는 맵핑기(40)와; 상기 맵핑기(40)의 출력을 상기 2진 카운터(30)의 최하위 비트(LSB)에 의해 실수부와 허수부로 선택 출력하는 스위치(SW1)로 구성된다.

<29> 이때, 상기 이진 채널화 데이터 심볼 발생부(20)의 출력(허수 계수)이 0이면 카운터는 '00'으로 초기화되고, 허수 계수가 1이면 카운터는 '01'로 초기화되고, 스위치(SW1)는 2비트 카운터(30)의 최하위 비트(LSB) 값(0 또는1)에 따라, 쭈로 맵핑된 신호를 실수부(Real) 또는 허수부(Imaginary) 쪽으로 출력하게 되며, 출력되지 않는 곳은 0의

값이 출력된다. 즉, +1(또는, -1)을 허수부에 출력할 경우 실수부는 0이 출력되고, +1(또는, -1)을 실수부에 출력할 경우 허수부는 0이 출력되는 것이다.

<30> 상기와 같은 과정으로 본 발명은 데이터의 심볼맵핑, 채널화, 그리고 스크램블링 과정을 복소수 연산 없이 이진 연산만으로 처리할 수 있게 된다.

<31> 한편, 도3은 상기 도2에서 이진 채널화 데이터 심볼 발생부(20)의 상세 구성을 보인 블록도로서, 가중치의 부호에 대응한 0, 1의 이진수와 가중치의 허수에 대응한 0, 1의 이진수를 출력하는 가중치 부호 이진화기(22)와; 연속적인 두 비트열을 배타 논리합하고 논리부정을 통해 실수부와 허수부로 나눈 후, 상기 가중치 부호 이진화기로부터 출력되는 허수에 대응한 이진수에 따라 상기 실수부와 허수부를 스위칭하여 출력하는 이진 심벌기(21)와; 확산률의 선택에 따라 생성된 OVSF 코드를 0, 1로 매핑하여 출력하는 이진 OVSF 코드 발생기(25)와; 상기 이진 심벌기(21)로부터 입력받는 실수부와 허수부로 나누어진 이진수를 상기 가중치 부호 이진화기(22)로부터 입력받는 이진수와 상기 이진 OVSF 코드 발생기(25)로부터 입력받는 이진수를 배타 논리합한 이진수와 각각 논리곱하여 출력하는 이진 채널화기(23)와; 상기 이진 채널화기(23)로부터 입력받는 실수부와 허수부로 나누어진 0, 1을 선택적으로 출력하는 스위치(SW2)로 구성된다.

<32> 상기 이진 심벌기(21)는 연속되는 두 비트열을 입력받아 배타 논리합하여 출력하는 제1배타 논리합(XOR1)과; 상기 배타 논리합(XOR1)으로부터 입력받는 비트를 반전시켜 허수부를 생성하여 출력하는 논리부정(INV1)과; 가중치 부호 이진화기(22)에서 가중치의 허수를 나타내는 비트에 따라 실수부에 대응한 상기 제1배타 논리합(XOR1)의 출력 비트와 허수부에 대응한 상기 논리부정(INV1)의 출력 비트를 스위칭하여 출력하거나 스위칭하지 않고 출력하는 스위치(26)로 구성된다.

<33> 이때, 상기 이진 채널화기(23)는 이진 심벌기(21)에서 연속되는 비트열에 대응한 심벌의 부호를 결정하는 비트, 가중치 부호 이진화기(22)에서 가중치의 부호를 나타내는 비트, 그리고 이진 OVSF 코드 발생기(25)에서 이진 OVSF 코드에 따른 비트열을 입력받아 배타 논리합하여 출력하는 제2배타 논리합(XOR2)과; 상기 가중치 부호 이진화기(22)에서 가중치의 허수를 나타내는 비트와 상기 제2배타 논리합(XOR2)로부터 출력되는 비트열을 배타 논리합하여 출력하는 제3배타 논리합(XOR3)과; 상기 이진 심벌기(21)로부터 입력받는 허수부에 대응한 비트를 OVSF 코드가 생성될 동안 저장하는 플립플롭(24)으로 구성된 것으로 본 발명의 실시예를 도면을 참조하여 설명한다.

<34> 이진 OVSF 코드 발생기(25)는 선택된 확산률에 따라 OVSF 코드를 생성하며 이 생성된 코드의 첫을 0, 1로 매핑하여 출력한다.

<35> 가중치 부호 이진화기(22)는 가중치의 부호에 대응한 비트와 가중치의 허수에 대응한 비트를 생성하여 출력하는데 가중치의 부호가 마이너스인 경우는 부호에 대응한 비트가 1로 출력되고 반대로 플러스인 경우는 0으로 출력된다.

<36> 또한, 가중치 부호 이진화기(22)의 허수에 대응한 비트는 이진 심벌기(21)에 입력되어 이진 심벌기(21)의 실수부와 허수부의 출력 비트를 스위칭하여 출력할지 아니면 스위칭하지 않고 출력할지를 결정하는데 가중치에 허수가 있으면 이진 심벌기(21)의 위 스위치는 아래 방향으로 아래 스위치는 위 방향으로 스위칭되고 그렇지 않으면 스위칭되지 않는다.

<37> 이진 심벌기(21)는 연속적인 두 비트열을 입력받아 배타 논리합하여 실수부에 대응한 비트를 생성하고, 이 비트를 논리부정(12)을 통해 반전시켜 허수부에 대응한 비트를 생성한다.

<38> 이진 심벌기(21)의 스위치(26)는 상기에서 설명한 바와 같이, 가중치 부호 이진화기(21)로부터 입력받는 허수에 대응한 비트에 따라 실수부와 허수부에 대응한 비트를 스위칭하여 출력하거나 스위칭하지 않고 출력한다.

<39> 상기 이진 심벌기(21)로부터 출력되는 허수부에 대응한 비트는 이진 채널화기(23)의 플립플롭(24)에 입력되어 OVSF 코드가 생성될 동안 유지된다.

<40> 이진 채널화기(23)의 제2배타 논리합(XOR2)은 이진 심벌기(21)에서 연속되는 비트열에 대응한 심벌의 부호를 결정하는 비트, 가중치 부호 이진화기(21)에서 가중치의 부호를 나타내는 비트, 그리고 이진 OVSF 코드 발생기(25)에서 이진 OVSF 코드에 따른 비트열을 입력받아 배타 논리합하여 출력한다.

<41> 또한, 이진 채널화기(23)의 제3배타 논리합(XOR3)은 상기 가중치 부호 이진화기(22)에서 가중치의 허수를 나타내는 비트와 상기 제2배타 논리합(XOR2)으로부터 출력되는 비트열을 배타 논리합하여 출력한다.

<42> 상기, 두 배타 논리합(XOR2, XOR3)은 실수부와 허수부에 대응한 비트에 부호와 허수를 곱하기 위한 비트 연산 과정에 해당하며 이하, 이진 채널화기(23)의 실수부와 허수부에 대응한 최종 출력 비트 연산 과정에 대해 설명한다.

<43> 이상, 이진 채널화기(23)로부터 출력되는 실수부와 허수부에 대응한 비트는 스위치(SW2)를 통해 허수부에 의해 스위칭되어 출력된다.

<44> 상기와 같은 과정을 거쳐 최종 출력된 값은 이진 데이터가 심벌로 매핑되고 심벌을 채널화한 복소수 값의 결과가 된다.

<45> 이상으로 상기 심볼 맵핑과 채널화 과정은 심볼 맵핑 테이블이나, 복소수 연산없이 이진 연산만으로 행해질 수 있으며, 실제 채널화된 데이터의 출력은 순실수(Real)이거나, 순허수(Imaginary)의 형태가 된다.

<46> 이때, 상기 채널화 데이터의 출력이 순실수인지 또는 순허수인지의 여부는, 맵핑된 심볼의 실수(또는, 허수)의 계수에 의해 결정되기 때문에, 도3의 심볼맵핑과 채널화 과정에 의한 출력은 맵핑된 심볼의 허수 계수와, 채널화된 신호의 이진 값으로 구성된다.

### 【발명의 효과】

<47> 이상에서 설명한 바와 같이 본 발명 이동 통신 시스템의 심볼 맵핑과 확산 장치는, 제3세대 이동통신 시분할 다중접속(3G TDD) 모드에서 QPSK(Quadrature PSK) 변조를 행할 경우, 심볼 맵핑(Symbol Mapping)과 확산(Spreading) 과정을 복소수 곱셈이 아닌 이진 (Binary) 연산으로 처리함으로써, 소프트웨어 및 하드웨어 구현 시 처리 시간 (Processing Time) 및 복잡도를 감소시켜 효율성을 높이는 효과가 있다.

**【특허청구범위】****【청구항 1】**

이진 채널화 데이터 심볼 발생부의 허수 출력(맵핑된 심볼의 허수 계수)을 입력받아 카운트하는 2진 카운터와;

상기 2진 카운터의 최상위 비트(MSB)와 최하위 비트(LSB)에 대한 배타적 논리합을 구하는 배타 논리합(XOR10)과;

스크램블링 코드를 0,1로 맵핑하여 출력하는 이진 스크램블 코드 발생기와;

상기 이진 스크램블 코드 발생기의 출력과, 상기 배타 논리합(XOR10)의 출력과, 상기 이진 채널화 데이터 심볼 발생부의 실수부에 대한 배타적 논리합을 구하는 배타 논리합(XOR20)과;

상기 실수부와 허수부로 나누어진 0, 1의 이진수를 각각 1, -1의 이진수로 맵핑하여 출력하는 맵핑기와;

상기 맵핑기의 출력을 상기 2진 카운터의 최하위 비트(LSB)에 의해 실수부와 허수부로 선택 출력하는 스위치를 포함하여 구성한 것을 특징으로 하는 이동 통신 시스템의 심볼 맵핑과 확산 장치.

**【청구항 2】**

제1항에 있어서, 상기 이진 채널화 데이터 심볼 발생부는, 가중치의 부호에 대응한 0, 1의 이진수와 가중치의 허수에 대응한 0, 1의 이진수를 출력하는 가중치 부호 이진화기와;

연속적인 두 비트열을 배타 논리합하고 논리부정을 통해 실수부와 허수부로 나눈 후, 상기 가중치 부호 이진화기로부터 출력되는 허수에 대응한 이진수에 따라 상기 실수부와 허수부를 스위칭하여 출력하는 이진 심벌기와;

확산률의 선택에 따라 생성된 OVSF 코드를 0, 1로 매핑하여 출력하는 이진 OVSF 코드 발생기와;

상기 이진 심벌기로부터 입력받는 실수부와 허수부로 나누어진 이진수를 상기 가중치 부호 이진화기로부터 입력받는 이진수와 상기 이진 OVSF 코드 발생기로부터 입력받는 이진수를 배타 논리합한 이진수와 각각 논리곱하여 출력하는 이진 채널화기와;

상기 이진 채널화기로부터 입력받는 실수부와 허수부로 나누어진 0, 1을 선택적으로 출력하는 스위치를 포함하여 구성한 것을 특징으로 하는 이동 통신 시스템의 심볼 맵핑과 확산 장치.

### 【청구항 3】

제2항에 있어서, 상기 이진 심벌기는 연속되는 두 비트열을 입력받아 배타 논리합하여 출력하는 제1배타 논리합(XOR1)과;

상기 배타 논리합(XOR1)으로부터 입력받는 비트를 반전시켜 허수부를 생성하여 출력하는 논리부정(INV1)과;

가중치 부호 이진화기(22)에서 가중치의 허수를 나타내는 비트에 따라 실수부에 대응한 상기 제1배타 논리합(XOR1)의 출력 비트와 허수부에 대응한 상기 논리부정(INV1)의 출력 비트를 스위칭하여 출력하거나 스위칭하지 않고 출력하는 스위치를 포함하여 구성한 것을 특징으로 하는 이동 통신 시스템의 심볼 맵핑과 확산 장치.

**【청구항 4】**

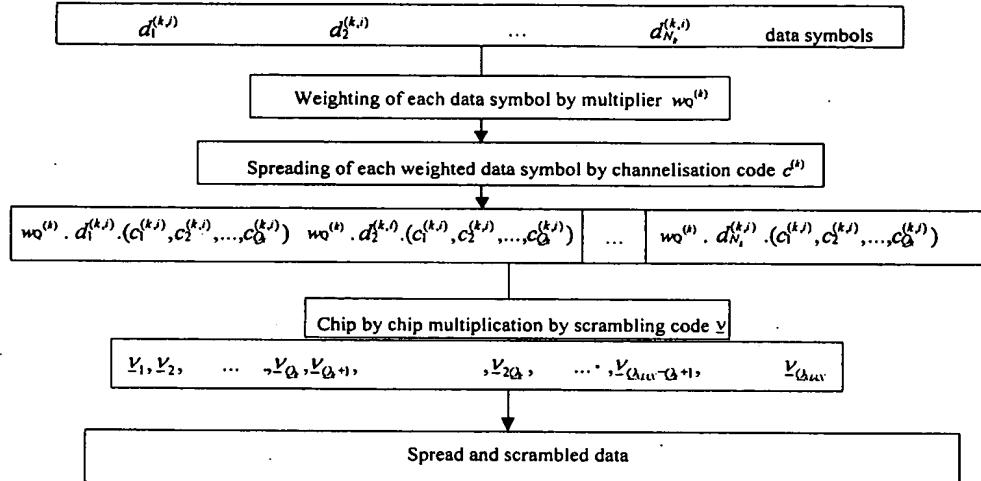
제2항에 있어서, 상기 이진 채널화기는 이진 심벌기에서 연속되는 비트열에 대응한 심벌의 부호를 결정하는 비트, 가중치 부호 이진화기에서 가중치의 부호를 나타내는 비트, 그리고 이진 OVSF 코드 발생기에서 이진 OVSF 코드에 따른 비트열을 입력받아 배타 논리합하여 출력하는 제2배타 논리합(XOR2)과;

상기 가중치 부호 이진화기에서 가중치의 허수를 나타내는 비트와 상기 제2배타 논리합(XOR2)로부터 출력되는 비트열을 배타 논리합하여 출력하는 제3배타 논리합(XOR3)과;

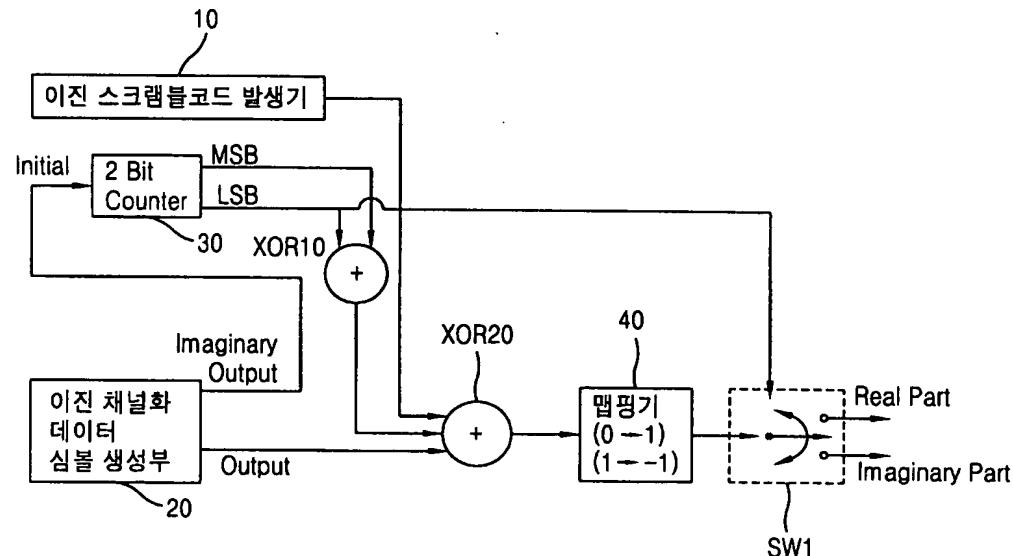
상기 이진 심벌기로부터 입력받는 허수부에 대응한 비트를 OVSF 코드가 생성될 동안 저장하는 플립플롭을 포함하여 구성한 것을 특징으로 하는 이동 통신 시스템의 심볼 맵핑과 확산 장치.

## 【도면】

【도 1】



【도 2】



【도 3】

